

IDO-SOM3566-V1 核心板设计指南

1、芯片简介

1.1 模块介绍

1.2 产品图片

2、硬件设计说明

2.1 电源系统

2.2 调试下载相关电路

2.3 GPIO

2.4 SDMMC0/1/2

2.5 USB2.0/3.0

2.6 以太网

2.7 音频接口

2.8 HDMI

2.9 eDP

2.10 MIPI_DSI_TX/LVDS_TX

2.11 PCIe

2.12 MIPI-CSI_RX接口

2.13 SATA总线

2.14 UART设计

2.15 I2C总线

2.16 ADC

2.17 SPI

2.18 PWM

3、SOM3566底板原理图Check List

IDO-SOM3566-V1

核心板设计指南

深圳触觉智能科技有限公司

www.industio.cn

文档修订历史

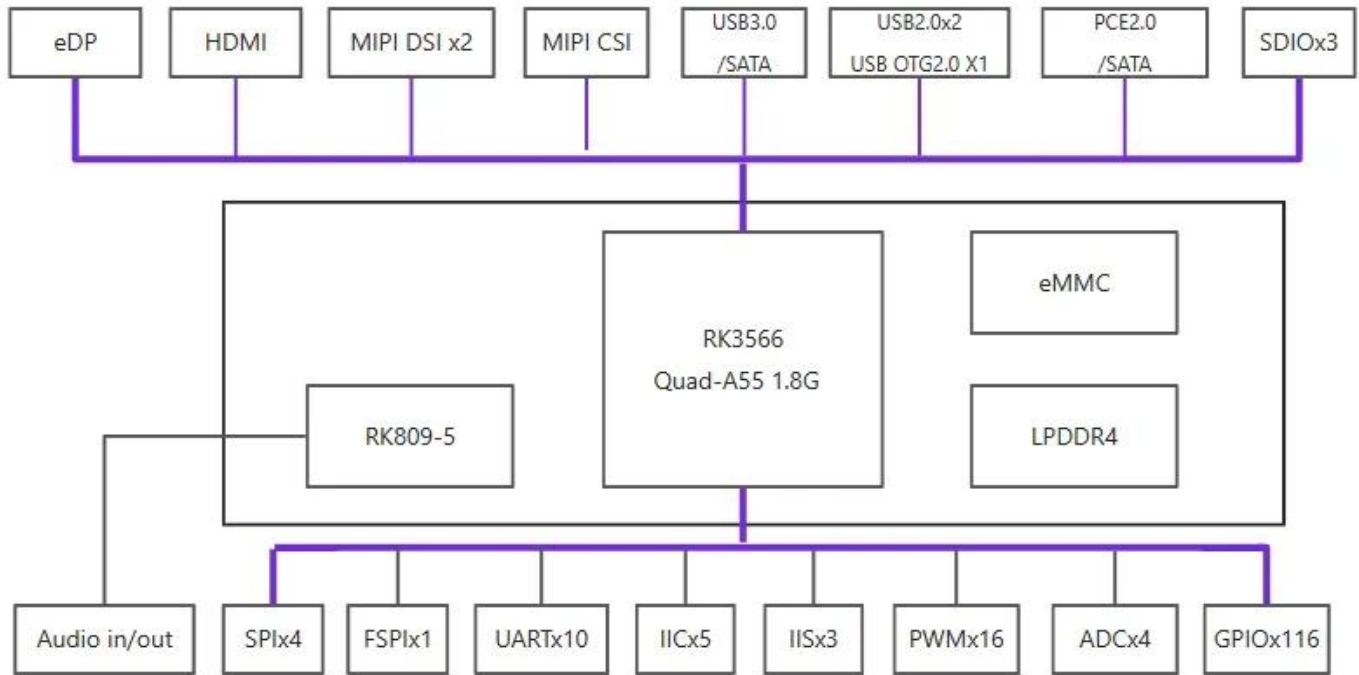
版本	PCBA版本	修订内容	修订	审核	日期
V1.0	V1A	创建文档	LYJ	IDO	2024/07/21

1、芯片简介

RK3566采用了新一代的Cortex-A55处理器，在性能和功耗方面有了大幅提升。同时，它还搭载了Mali-G52 GPU，支持最高4K@60fps的解码和编码功能，并且还增加了AI计算单元，有着出色的边缘计算能力。由于这些出色的特性，RK3566将成为物联网、工业控制、车联网、智能家居等领域的理想选择。

1.1 模块介绍

IDO-SOM3566-V1是基于RK3566系列CPU开发设计的一款高性能核心板。核心板板载 LPDDR4、eMMC、PMIC、eDP、HDMI、PCIE、USB、MIPI等接口和多达116路多功能GPIO模块框图，如下图所示：



IDO-SOM3566-V1核心板主要功能列表，如下表所示：

基本参数	
SoC	RockChip RK3566
CPU	四核 64 位Cortex-A55 处理器，主频最高1.8GHz
GPU	Mali-G52 1-Core-2EE 支持 OpenGL ES 1.1/2.0/3.2, OpenCL 2.0, Vulkan 1.1 内嵌高性能2D 加速硬件
NPU	神经网络加速引擎，处理性能高达1个TOPS 支持INT8/INT16/FP16/BFP16 MAC混合操作 支持深度学习框架：TensorFlow, TF-lite, Pytorch, Caffe, ONNX, MXNet, Keras, Darknet等模型
VPU	支持4K 60fps H.264/H.265/VP9 视频解码 支持1080P 60fps H.264/H.265视频编码 支持8M ISP
内存	LPDDR4/LPDDR4x 默认2GB/4GB（最高支持8GB）
存储	eMMC 默认16GB/32GB（可选16GB/32GB/64GB）
硬件参数	

以太网	集成1路GMAC以太网控制器，支持千兆以太网（1000 Mbps）
显示接口	<p>1 × HDMI2.0，支持4K@60fps 输出</p> <p>2 × MIPI DSI 4Lane，支持1920*1080@60fps 输出（或1 × MIPI DSI 8Lane 2560*1440@60fps）（或1 × MIPI DSI 4Lane + 1 × LVDS，LVDS最高支持到1366*768@60fps）</p> <p>1 × eDP1.3，支持 2560*1600@60fps 输出</p>
摄像头	1 × MIPI-CSI 摄像头接口（1x 4-Lane可支持13M 或 2x 2-Lane可支持2x5M）
音频接口	<p>1 × HDMI 音频输出</p> <p>1 × HPR/L，双声道耳机输出</p> <p>1 × SPK，功放输出8Ω1W</p> <p>2 × MIC输入</p>
USB	<p>1 × USB2.0 OTG</p> <p>1 × USB3.0 HOST</p> <p>2 × USB2.0 HOST</p>
PCIe/SATA	<p>1 × PCIe 2.0</p> <p>2 × SATA</p>
扩展接口	<p>10 × UART</p> <p>4 × SPI</p> <p>5 × I2C</p> <p>3 × I2S</p> <p>3 × SDIO</p> <p>16 × PWM</p> <p>4 × ADC</p> <p>1 × FSPI</p> <p>116 × GPIO</p>
其他	
主板尺寸	40mm × 50mm

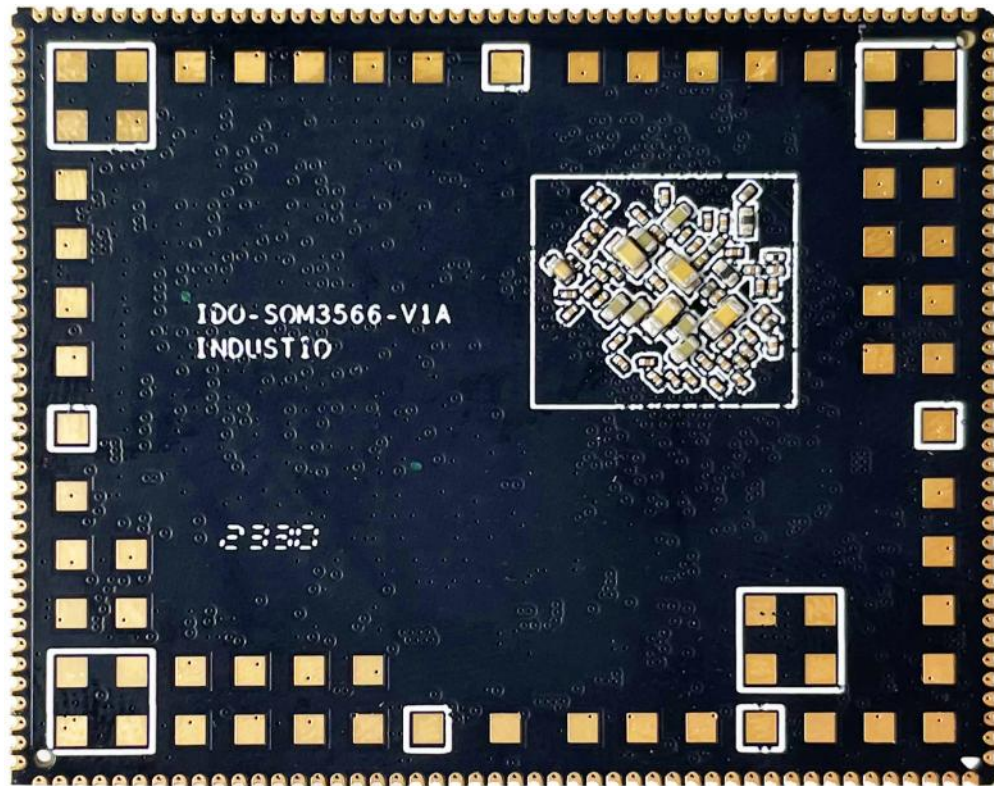
接口类型	172Pin 间距1.0mm邮票孔 + 67Pin 背面焊盘
PCB规格	板厚1.6mm , 8层板 高Tg材质, 沉金工艺

1.2 产品图片

IDO-SOM3566-V1核心板正面，如下图所示：



IDO-SOM3566-V1核心板背面，如下图所示：



2、硬件设计说明

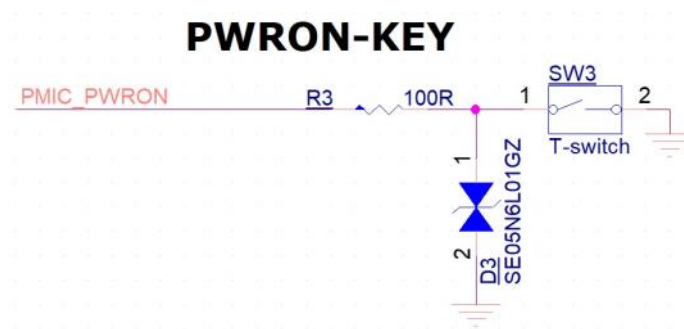
2.1 电源系统

IDO-SOM3566-V1电源相关引脚说明，如下表所示：

电源相关引脚	引脚编号	方向	引脚说明
VCC5V0_SYS_IN	171、172	电源输入	<p>系统主要输入供电，推荐独立DCDC，支持2A持续和3A瞬间电流供电能力，电压范围【3.6-5.5V】，推荐4.5V供电。浪涌电压超过5.5V可能对核心板上电源芯片造成损害。</p> <p>靠近引脚加TVS管，做5.5V浪涌保护。</p>
VCCIO5_IN	84	电源输入	<p>CPU 两组 IO 的电源域供电输入，必须供电。且只能在核心板输出的VCC_1V8_OUT或VCC_3V3_OUT两个电源二选一。软件需要对应一起修改。应根据实际需要选择相应IO组电平，</p>

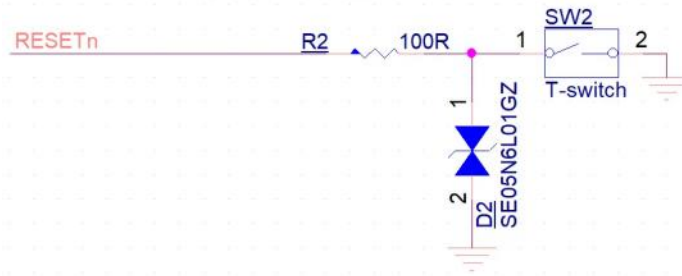
VCCIO6_IN	83	电源输入	每个IO电源域对应的IO组详见 IDO-SOM3566-V1-PINOUT 表格。
VCC_3V3_OUT	228	电源输出	3.3V对外供电，用于3.3V电源域参考电平。电压输出范围3.2V~3.4V，供电能力100mA。
VCC_1V8_OUT	166	电源输出	1.8V对外供电，用于1.8V电源域参考电平。电压输出范围1.75V~1.85V，供电能力100mA。
VCC3V3_SD_OUT	38	电源输出	仅用于外接SD/TF卡供电，不使用可悬空。电压输出范围2.9V~3.3V。
RESETn	222	双向	当上电或欠压（核心板供电电压<2.7V）以及复位（reboot）时，此引脚会拉低（输出低）。正常工作下，外部拉低此引脚，会触发系统复位。
PMIC_EXT_EN	167	关机控制输出	开机时输出高电平（3.3V），关机时输出低电平。
PMIC_PWRON	168	开关机信号输入	开关机按键信号输入检测引脚，用于连接按键输入。内部30k电阻上拉到3.3V。
PMIC_VDC	169	自动开机信号输入	检测DC电源，用于插电开机控制。VDC电压第一次>0.55V，上电自动触发开机。无需插电自动开机时，可下拉到地。
PMIC_SLEEP	175	待机控制输出	待机输出高电平（3.3V），正常工作时输出低电平。

开关机按键参考设计：

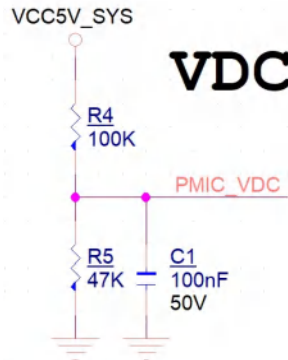


复位按键参考设计：

RESET-KEY



上电自动开机的VDC参考设计:



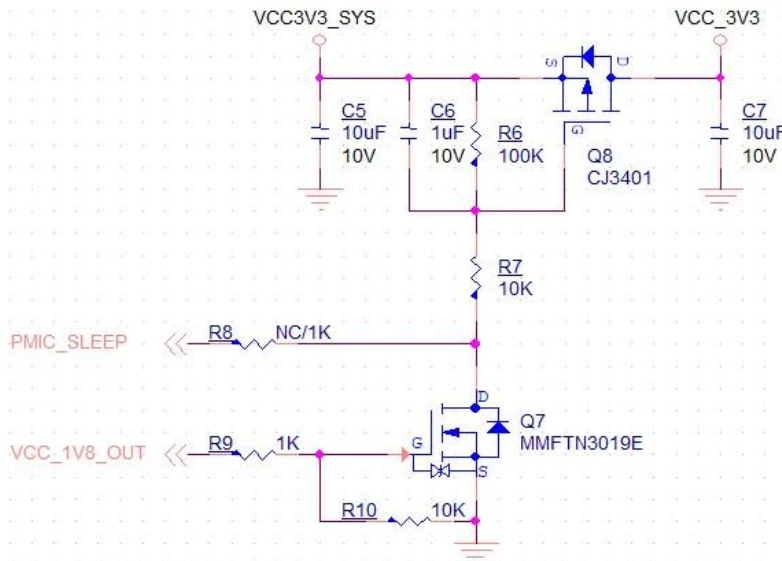
上电时序要求:

- 1、核心板主供电VCC5V0_SYS_IN (引脚171、172) 优先供电。
- 2、底板的1.8V 和3.3V 供电在VCC_1V8_OUT输出后再上电。可用VCC_1V8_OUT作为底板1.8V 和3.3V 供电使能。

关于待机:

- 1、待机指示

待机时PMIC_SLEEP会输出高电平 (3.3V) , VCC_1V8_OUT会掉电, 底板外围电源在待机时需要控制的可以用PMIC_SLEEP或者VCC_1V8_OUT控制。参考设计如下:



2、待机保持的IO引脚

RK3566进入深度待机状态时，只有CPU和DDR部分区域保持供电。大部分IO电源是断电的状态，所以如果需要深度待机时，仍然可以保持状态的IO引脚，需要使用待机保持供电的IO组。SOM3566深度待机后保持供电的IO组为GPIO0组。详细对应IO电平以及IO引脚如下图所示：

引脚编号	引脚名称	供电电压
217	GPIO0_D3_d	PMUPLL 1.8V
219	GPIO0_D4_d	
220	GPIO0_D5_d	
221	GPIO0_D6_d	
214	REFCLK_OUT/GPIO0_A0_d	PMUIO1 3.3V
163	SDMMC0_DET/SATA_CP_DET/GPIO0_A4_u	
215	SDMMC0_PWREN/SATA_MP_SWITCH/PCIE20_CLKREQn_M0/GPIO0_A5_d	
216	GPU_PWREN/SATA_CP_FOD/GPIO0_A6_d	
161	CLK32K_IN/CLK32K_OUT/GPIO0_B0_u	PMUIO2 3.3V
160	I2C1_SCL/MCU_JTAG_TDO/GPIO0_B3_u	
159	I2C1_SDA/PCIE20_BUTTONNRSTn/MCU_JTAG_TCK/GPIO0_B4_u	
149	PWM1_M1/I2C2_SCL_M0/SPI0_CLK_M0/PCIE20_WAKEn_M0/GPIO0_B5_u	
147	PWM2_M1/I2C2_SDA_M0/SPI0_MOSI_M0/PCIE20_PERSTn_M0/GPIO0_B6_u	
162	PWM0_M0/CPUAVS/GPIO0_B7_d	
157	PWM1_M0/GPUAVS/UART0_RX/GPIO0_C0_d	
156	PWM2_M0/NPUAVS/UART0_TX/MCU_JTAG_TDI/GPIO0_C1_d	
158	PWM3_IR/EDP_HPDIN_M1/MCU_JTAG_TMS/GPIO0_C2_d	
155	PWM4/VOP_PWM_M0/MCU_JTAG_TRSTn/GPIO0_C3_d	
150	PWM5/SPI0_CS1_M0/UART0_RTSn/GPIO0_C4_d	
148	PWM6/SPI0_MISO_M0/GPIO0_C5_d	
151	PWM7_IR/SPI0_CS0_M0/GPIO0_C6_d	
154	PWM0_M1/HDMI_TX_CEC_M1/UART0_CTSn/GPIO0_C7_d	
153	UART2_RX_M0_DEBUG/GPIO0_D0_u	
152	UART2_TX_M0_DEBUG/GPIO0_D1_u	

电源设计注意事项：

- 1、核心板VCC5V0_SYS_IN注意浪涌保护，过冲电压必须<5.5V。否则容易损坏核心板电源芯片。
- 2、严格按照上电时序要求。
- 3、VCCIO5和VCCIO6，这两组IO供电，务必从核心板输出的VCC_1V8_OUT或VCC_3V3_OUT中选择。
- 4、VCC_1V8_OUT和VCC_3V3_OUT两组供电输出，供电限流100mA。
- 5、注意各路IO引脚电平匹配和上电时序，不得在核心板上电前先上电。IO向核心板灌电会导致启动异常或芯片损坏。

2.2 调试下载相关电路

基于SOM3566的底板设计，都强烈建议保留下面3部分调试下载相关电路。

1、USB2.0 OTG接口，主要用于固件下载以及ADB调试。

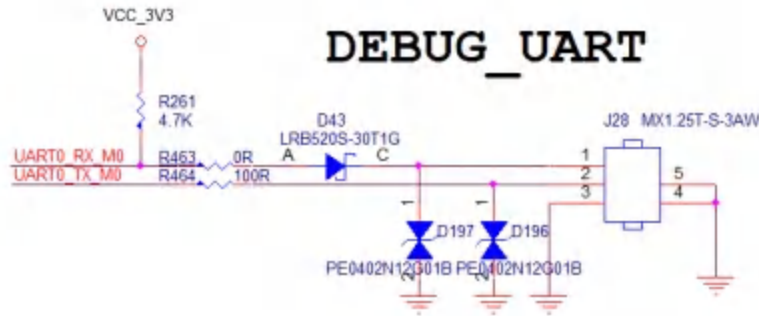
引脚编号	引脚名称	连接方式	备注
21	USB_OTG0_DP	串接2.2Ω电阻	OTG0可用于下载烧录功能
20	USB_OTG0_DM		
19	USB_OTG0_VBUSDET	电阻分压检测≤3.3V	OTG0 VBUS检测，高有效
18	USB_OTG0_ID	1.8V电源域	进行烧录时，ID引脚禁止下拉

2、调试串口，用于查看系统日志和控制终端命令行操作。

UART资源	引脚编号	UART信号定义	电源域
UART2 (M0组)	152	UART2_TX_M0_DEBU G	3.3V (调试串口)
	153	UART2_RX_M0_DEBU G	

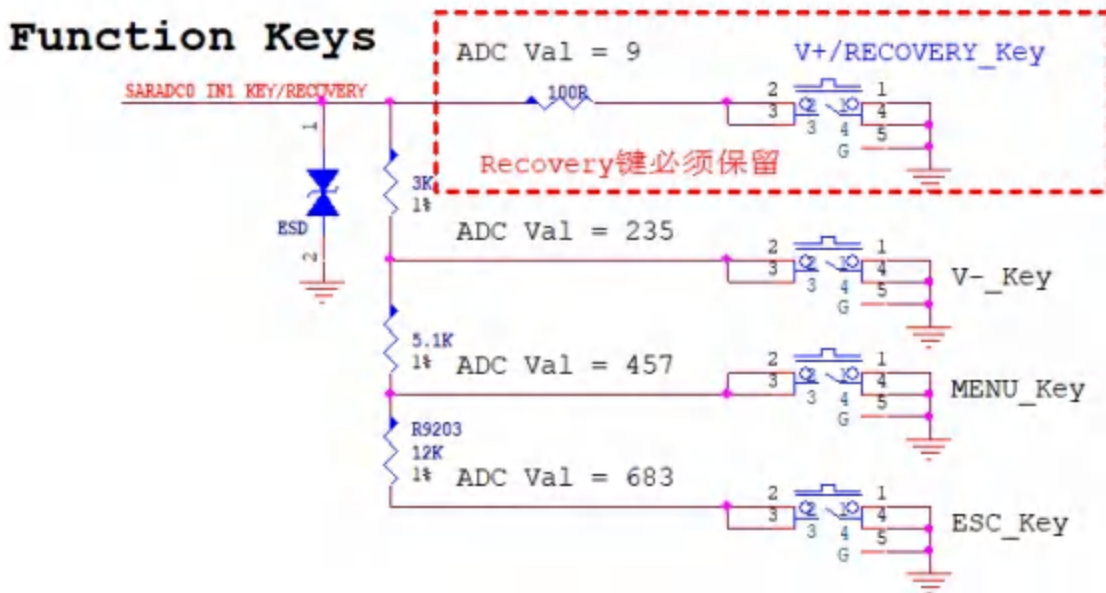
设计注意事项：

调试串口在使用时经常连接USB转UART TTL 模块，经常在SOM3566未上电时，UART2_RX_M0已经由模块灌电给核心板。强烈建议采用下面转换电路 或者 采用RS232芯片转换避免SOM3566上电前引脚灌电。



3、功能按键。

SARADC_VIN0/RECOVERY系统默认用作功能按键，核心板上有10k电阻上拉，功能按键参考设计如下：



2.3 GPIO

IDO-SOM3566-V1可用的GPIO引脚共计116个（其中和PWM、SDIO、UART、IIC、IIS等引脚复用）。详细定义请参考“IDO-SOM3566-V1 核心板规格书”附录：引脚列表。使用时注意GPIO电源域是1.8V还是3.3V。另外GPIO信号名称中后缀带_d表示上电默认下拉(低电平)，后缀带_u的表示上电默认上拉(高电平)，后缀_z的表示上电高阻态(未知)。

在”IDO-SOM3566-V1 核心板规格书“附录：引脚列表中，SOM3566-V1的GPIO4_A7, 上电默认下拉(低电平)0V。IDO-SOM3566-V1的GPIO4_B2, 上电默认上拉(高电平) 3.3V。GPIO引脚说明，如下图所示：

3	GMAC1_RSTn_GPIO4_A7	SPI2_CS0_M1	3.3V
		I2C5_SDA_M2	
		I2S1_SDI2_M0	
		PCIE30X2_WAKEN_M1	
		BT1120_D7	
		CIF_D7	
		GPIO4_A7_d	
4	TYPECO_SBU2_DC	CAN1_RX_M1	3.3V
		PWM14_M1	
		SPI0_CS0_M1	
		UART8_RTSN_M0	
		I2C7_SCL_M3	
		I2S1_SDO1_M0	
		PCIE30X1_1_BUTTON_RSTN	
		BT1120_D8	
		CIF_HREF	
		GPIO4_B2_u	

RK3566 GPIO的DC特性参考下图：

Table 3-3 DC Characteristics

Parameters		Symbol	Min	Typ	Max	Unit
Digital GPIO @3.3V	Input Low Voltage	Vil	-0.3	NA	0.8	V
	Input High Voltage	Vih	2.0	NA	VCC+0.3	V
	Output Low Voltage	Vol	-0.3	NA	0.4	V
	Output High Voltage	Voh	2.4	NA	VCC+0.3	V
	Pullup Resistor	Rpu	16	NA	43	Kohm
	Pulldown Resistor	Rpd	16	NA	43	Kohm
Digital GPIO @1.8V	Input Low Voltage	Vil	-0.3	NA	0.35*VCC	V
	Input High Voltage	Vih	0.65*VCC	NA	VCC+0.3	V
	Output Low Voltage	Vol	-0.3	NA	0.4	V
	Output High Voltage	Voh	1.4	NA	VCC+0.3	V
	Pullup Resistor	Rpu	16	NA	43	Kohm
	Pulldown Resistor	Rpd	16	NA	43	Kohm

2.4 SDMMC0/1/2

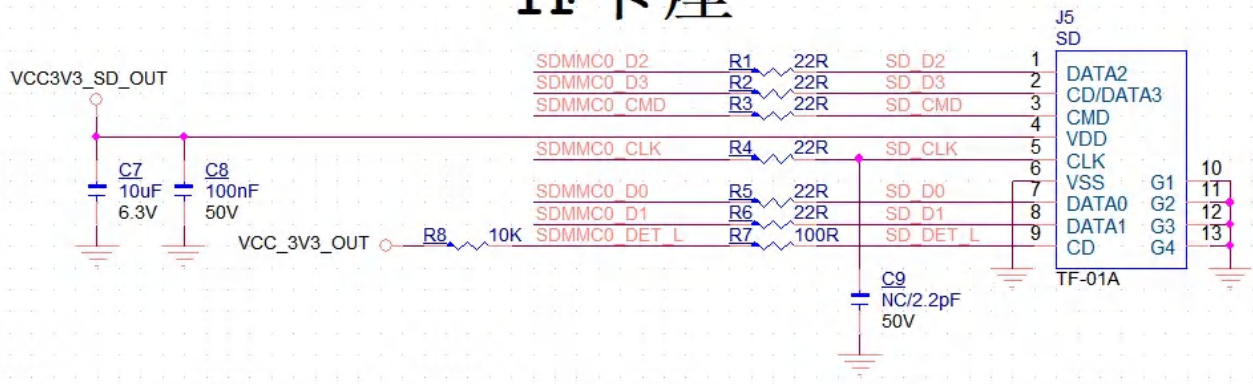
IDO-SOM3566-V1核心板扩展出3路MMC/SDIO资源, 兼容SDIO3.0和MMC ver4.51, 4bit数据位宽, 可用于扩展SD卡和WIFI模块。

SDIO/MMC0主要用于连接SD存储卡, 也可用于WIFI模块SDIO接口, 引脚资源如下表所示:

引脚编号	引脚名称	电源域	备注
163	SDMMC_DET_L_GPIO0_A4	3.3V	SD卡座检测引脚
37	SDMMC0_CLK	1.8V/3.3V	SD卡时钟信号
33	SDMMC0_CMD	1.8V/3.3V	SD卡CMD信号
34	SDMMC0_D3	1.8V/3.3V	SD卡Data3
36	SDMMC0_D2	1.8V/3.3V	SD卡Data2
32	SDMMC0_D1	1.8V/3.3V	SD卡Data1
35	SDMMC0_D0	1.8V/3.3V	SD卡Data0
38	VCC3V3_SD_OUT	3.0V	核心板SD卡供电输出

MMC/SDIO0外接TF卡参考设计, 如下图所示:

TF卡座



SDMMC1引脚资源，如下表所示：

引脚编号	引脚名称	电源域	备注
49	SDMMC1_CLK	1.8V	SDIO_CLK
54	SDMMC1_CMD	1.8V	SDIO_CMD
48	SDMMC1_D3	1.8V	SDIO_D3
55	SDMMC1_D2	1.8V	SDIO_D2
50	SDMMC1_D1	1.8V	SDIO_D1
51	SDMMC1_D0	1.8V	SDIO_D0

SDMMC2 (M0组) 引脚资源，如下表所示：

引脚编号	引脚名称	电源域	备注
234	SDMMC2_D0_M0	VCCIO6	SDIO_D0
210	SDMMC2_D1_M0	VCCIO6	SDIO_D1
235	SDMMC2_D2_M0	VCCIO6	SDIO_D2
209	SDMMC2_D3_M0	VCCIO6	SDIO_D3
208	SDMMC2_CMD_M0	VCCIO6	SDIO_CMD
207	SDMMC2_CLK_M0	VCCIO6	SDIO_CLK
236	SDMMC2_DET_M0	VCCIO6	SDIO检测引脚
237	SDMMC2_PWREN_M0	VCCIO6	SDIO电源控制引脚

SDMMC2 (M1组) 引脚资源，如下表所示：

引脚编号	引脚名称	电源域	备注
98	SDMMC2_D0_M1	VCCIO5	SDIO_D0
97	SDMMC2_D1_M1	VCCIO5	SDIO_D1
96	SDMMC2_D2_M1	VCCIO5	SDIO_D2
95	SDMMC2_D3_M1	VCCIO5	SDIO_D3
91	SDMMC2_CMD_M1	VCCIO5	SDIO_CMD
90	SDMMC2_CLK_M1	VCCIO5	SDIO_CLK
89	SDMMC2_DET_M1	VCCIO5	SDIO检测引脚
94	SDMMC2_PWREN_M1	VCCIO5	SDIO电源控制引脚

注意：

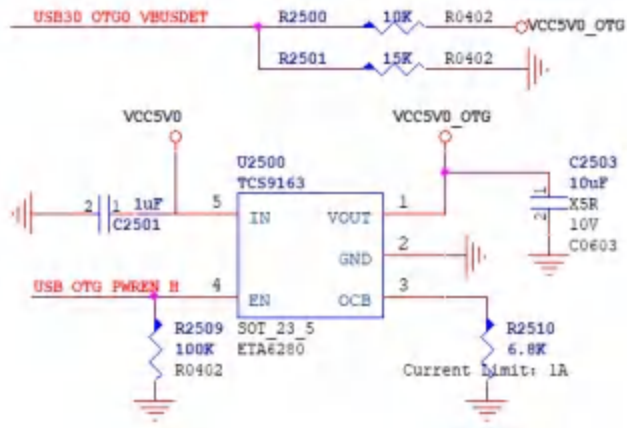
1. 走线阻抗控制50ohm，参考面完整，整组走线等长控制 $\pm 100\text{mil}$ 。
2. 建议串匹配电阻（典型值22 Ω ），时钟信号匹配电阻靠近SOM3566引脚侧放置，时钟信号预留2.2pF电容。

2.5 USB2.0/3.0

IDO-SOM3566-V1核心板具有1路USB3.0 HOST、2路USB2.0 HOST和1路USB2.0 OTG，其中USB2.0 OTG为系统固件烧录口，初期设计必须引出作为升级和调试。设计底板如要扩展多USB接口，可以使用USB HUB芯片去实现扩展。

USB2.0_OTG0（固件下载口）引脚资源，如下表所示：

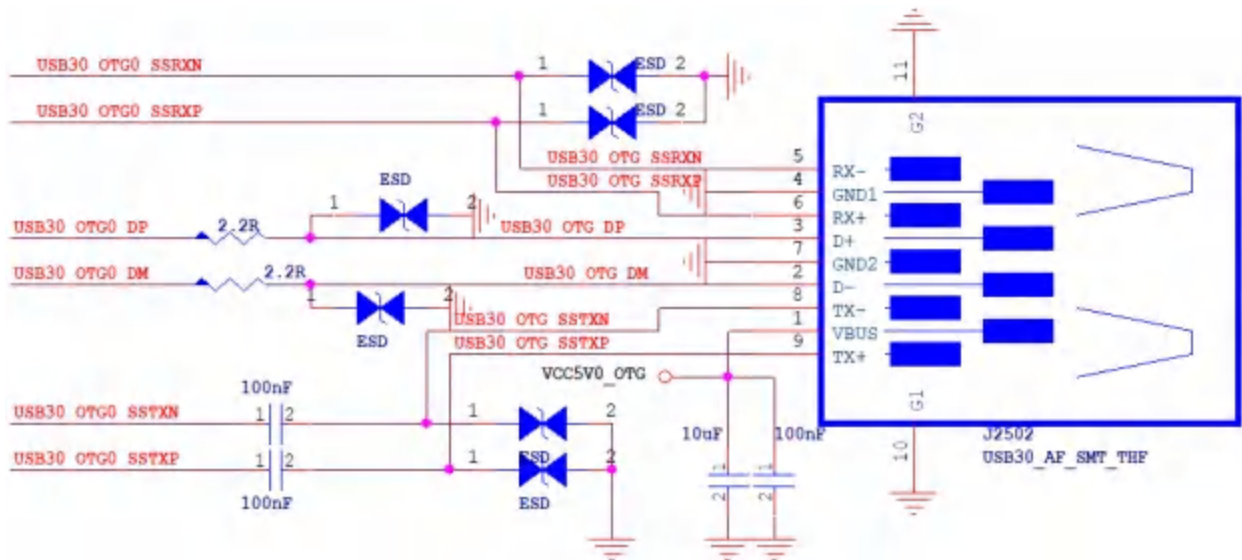
引脚编号	引脚名称	连接方式	备注
21	USB_OTG0_DP	串接2.2 Ω 电阻	OTG0可用于下载烧录功能
20	USB_OTG0_DM		
19	USB_OTG0_VBUSDET	电阻分压检测 $\leq 3.3\text{V}$	OTG0 VBUS检测，高有效
18	USB_OTG0_ID	1.8V电源域	USB OTG ID 识别 Micro USB 接口时需要使用



USB3.0_HOST1引脚资源，如下表所示：

引脚编号	引脚名称	连接方式	备注
13	USB3_HOST1_SSTXP	串接100nF 电容	可复用为SATA1_TXP
12	USB3_HOST1_SSTXN		可复用为SATA1_TXN
15	USB3_HOST1_SSRXP	串接0Ω电阻	可复用为SATA1_RXP
14	USB3_HOST1_SSRXN		可复用为SATA1_RXN
17	USB_HOST1_DP	串接2.2Ω电阻	/
16	USB_HOST1_DM		/

USB3.0 HOST1参考连接TYPE-A座，如下图所示：



USB2.0_HOST2引脚资源，如下表所示：

引脚编号	引脚名称	备注
------	------	----

102	USB_HOST2_DP	/
101	USB_HOST2_DM	/

USB2.0_HOST3引脚资源，如下表所示：

引脚编号	引脚名称	备注
100	USB_HOST3_DP	/
99	USB_HOST3_DM	/

设计注意事项：

1. ESD 务必采用 $C_j < 0.4\text{pF}$ 的型号。USB的差分对上ESD型号必须一致。
2. 2.2R电阻只能串在USB2.0 信号线上。主要用于ESD改善。
3. USB差分走线严格按照90ohm差分阻抗，差分对内等长误差 $< 5\text{mil}$ 。ESD对称摆放。
4. USB3.0 差分线换层过孔 ≤ 2 个。外接长线缆USB3.0设备时，建议加USB3.0 HUB芯片。

2.6 以太网

IDO-SOM3566-V1有1路GMAC接口可用于扩展1路千兆以太网功能。接百兆以太网可参考下表的RMII引脚。

RK3566内部有两组GMAC控制器，分别为GMAC1_M0和GMAC1_M1。注意，只能同时使用其中的1组，使用时注意电压域是1.8V还是3.3V。

GMAC1（M0组）引脚资源列表如下表所示：

引脚编号	GMAC RGMII引脚	EMAC RMII引脚	电源域
97	GMAC1_TXD2_M0	\	VCCIO5
96	GMAC1_TXD3_M0	\	VCCIO5
95	GMAC1_RXD2_M0	\	VCCIO5
91	GMAC1_RXD3_M0	\	VCCIO5
90	GMAC1_TXCLK_M0	\	VCCIO5
89	GMAC1_RXCLK_M0	\	VCCIO5

94	ETH1_REFCLKO_25M_M0	\	VCCIO5
92	GMAC1_RXD0_M0	RMII_RXD0	VCCIO5
93	GMAC1_RXD1_M0	RMII_RXD1	VCCIO5
88	GMAC1_RXDV_CRD_M0	RMII_CRD_DV	VCCIO5
87	GMAC1_RXER_M0	RMII_RXER	VCCIO5
86	GMAC1_TXD0_M0	RMII_TXD0	VCCIO5
85	GMAC1_TXD1_M0	RMII_TXD1	VCCIO5
78	GMAC1_TXEN_M0	RMII_TXEN	VCCIO5
79	GMAC1_MCLKINOUT_M0	RMII_MCLK	VCCIO5
77	GMAC1_MDC_M0	RMII_MDC	VCCIO5
76	GMAC1_MDIO_M0	RMII_MDIO	VCCIO5

GMAC1 (M1组) 引脚资源如下表所示:

引脚编号	GMAC RGMII引脚	EMAC RMII引脚	电源域
75	GMAC1_TXD2_M1	\	VCCIO6
74	GMAC1_TXD3_M1	\	VCCIO6
72	GMAC1_TXCLK_M1	\	VCCIO6
56	GMAC1_RXD2_M1	\	VCCIO6
62	GMAC1_RXD3_M1	\	VCCIO6
73	GMAC1_RXCLK_M1	\	VCCIO6
61	GMAC1_TXD0_M1	RMII_TXD0	VCCIO6
71	GMAC1_TXD1_M1	RMII_TXD1	VCCIO6
69	GMAC1_TXEN_M1	RMII_TXEN	VCCIO6
57	GMAC1_RXD0_M1	RMII_RXD0	VCCIO6
58	GMAC1_RXD1_M1	RMII_RXD1	VCCIO6
70	GMAC1_RXDV_CRD_M1	RMII_CRD_DV	VCCIO6

63	GMAC1_RXER_M1	RMII_RXER	VCCIO6
65	ETH1_REFCLKO_25M_M1		VCCIO6
59	GMAC1_MDC_M1	RMII_MDC	VCCIO6
64	GMAC1_MDIO_M1	RMII_MDIO	VCCIO6
66	GMAC1_MCLKINOUT_M1	RMII_MCLK	VCCIO6

注意：

1. 走线阻抗控制50ohm，参考面完整，整组走线等长控制+/-100mil。
2. 建议串匹配电阻（典型值22Ω），时钟信号匹配电阻靠近SOM3566引脚侧放置，时钟信号预留2.2pF电容。

我司提供的硬件资料包当中的开发板原理图是百兆以太网接口，需要千兆以太网接口可以参考《IDO-SOM3562-V1核心板设计指南》。

2.7 音频接口

RK3566支持的音频接口清单如下表所示：

音频接口资源	资源详情	说明
I2S	I2S1 (M1)	8通道
	I2S2 (M0、M1)	2通道
	I2S3 (M0、M1)	2通道
SPDIF	1路 (M0、M1、M2)	1通道
PDM	1路 (M0、M1、M2)	4通道

I2S1的M0组接口已经用于核心板内部的RK809芯片，需要使用M1组的话，核心板自带的音频功能将失效。

I2S1 (M1组) 引脚列表如下表所示：

引脚编号	引脚定义	电源域	说明
234	I2S1_MCLK_M1	VCCIO6	I2S主时钟MCLK

210	I2S1_SCLK_TX_M1	VCCIO6	I2S串行时钟输出SCLK
235	I2S1_LRCK_TX_M1	VCCIO6	I2S帧时钟输出LRCK
209	I2S1_SDO0_M1	VCCIO6	I2S输出通道0
208	I2S1_SDI0_M1	VCCIO6	I2S输入通道0
207	I2S1_SDI1_M1	VCCIO6	I2S输入通道1
236	I2S1_SDI2_M1	VCCIO6	I2S输入通道2
237	I2S1_SDI3_M1	VCCIO6	I2S输入通道3
69	I2S1_SCLK_RX_M1	VCCIO6	I2S串行时钟输入SCLK
57	I2S1_LRCK_RX_M1	VCCIO6	I2S帧时钟输入LRCK
58	I2S1_SDO1_M1	VCCIO6	I2S输出通道1
70	I2S1_SDO2_M1	VCCIO6	I2S输出通道2
67	I2S1_SDO3_M1	VCCIO6	I2S输出通道3

I2S2 (M0组) 引脚列表如下表所示:

引脚编号	引脚定义	电源域	说明
182	I2S2_LRCK_RX_M0	1.8V	I2S帧时钟输入LRCK
226	I2S2_MCLK_M0	1.8V	I2S主时钟MCLK
225	I2S2_SCLK_RX_M0	1.8V	I2S串行时钟输入SCLK
42	I2S2_SCLK_TX_M0	1.8V	I2S串行时钟输出SCLK
45	I2S2_LRCK_TX_M0	1.8V	I2S帧时钟输出LRCK
44	I2S2_SDO_M0	1.8V	I2S输出通道
41	I2S2_SDI_M0	1.8V	I2S输入通道

I2S2 (M1组) 引脚列表如下:

引脚编号	引脚定义	电源域	说明
63	I2S2_SDI_M1	VCCIO6	I2S输入通道

65	I2S2_SDO_M1	VCCIO6	I2S输出通道
59	I2S2_MCLK_M1	VCCIO6	I2S主时钟MCLK
64	I2S2_SCLK_TX_M1	VCCIO6	I2S串行时钟输出SCLK
66	I2S2_SCLK_RX_M1	VCCIO6	I2S串行时钟输入SCLK
61	I2S2_LRCK_TX_M1	VCCIO6	I2S帧时钟输出LRCK
71	I2S2_LRCK_RX_M1	VCCIO6	I2S帧时钟输入LRCK

I2S3 (M0组) 引脚列表, 如下表所示:

引脚编号	引脚定义	电源域	说明
97	I2S3_MCLK_M0	VCCIO5	I2S主时钟MCLK
96	I2S3_SCLK_M0	VCCIO5	I2S串行时钟SCLK
95	I2S3_LRCK_M0	VCCIO5	I2S帧时钟LRCK
91	I2S3_SDO_M0	VCCIO5	I2S输出通道
90	I2S3_SDI_M0	VCCIO5	I2S输入通道

I2S3 (M1组) 引脚, 如下表所示:

引脚编号	引脚定义	电源域	说明
206	I2S3_MCLK_M1	3.3V	I2S主时钟MCLK
204	I2S3_SCLK_M1	3.3V	I2S串行时钟SCLK
203	I2S3_LRCK_M1	3.3V	I2S帧时钟LRCK
202	I2S3_SDO_M1	3.3V	I2S输出通道
201	I2S3_SDI_M1	3.3V	I2S输入通道

RK3566提供一个 SPDIF TX 数字音频接口, 最大支持 24bits 解析度。SPDIF 全称为 Sony/Philips Digital Interface Format 是 SONY、PHILIPS 数字音频接口的简称。就传输载体而言, SPDIF 又分为同轴和光纤两种, 二者传输的信号相同, 传输所依赖的载体不同, 接口和连线外观也有差异, SPDIF 的通讯速率通常受限于载体, 因此在硬件设计的时候需要考虑所使用的接口器件规格。但光信号传输无需考虑接口电平及阻抗问题, 接口灵活且抗干扰能力更强。

SPDIF 引脚配置如下表所示：

引脚编号	信号定义	电源域
195	SPDIF_TX_M0	3.3V
76	SPDIF_TX_M1	VCCIO5
203	SPDIF_TX_M2	3.3V

PDM (M0组) 引脚配置，如下表所示：

引脚编号	信号定义	电源域	说明
194	PDM_SDI3_M0	3.3V	/
193	PDM_SDI2_M0	3.3V	/
191	PDM_SDI1_M0	3.3V	/
195	PDM_CLK1_M0	3.3V	PDM sampling clock

PDM (M1组) 引脚配置，如下表所示：

引脚编号	信号定义	电源域	说明
75	PDM_CLK0_M1	VCCIO6	PDM sampling clock
72	PDM_CLK1_M1	VCCIO6	PDM sampling clock
74	PDM_SDI0_M1	VCCIO6	/
56	PDM_SDI1_M1	VCCIO6	/
62	PDM_SDI2_M1	VCCIO6	/
73	PDM_SDI3_M1	VCCIO6	/

PDM (M2组) 引脚配置，如下表所示：

引脚编号	信号定义	电源域	说明
77	PDM_CLK1_M2	VCCIO5	PDM sampling clock
79	PDM_SDI3_M2	VCCIO5	/
78	PDM_SDI2_M2	VCCIO5	/

87	PDM_SDI1_M2	VCCIO5	/
88	PDM_SDI0_M2	VCCIO5	/

2.8 HDMI

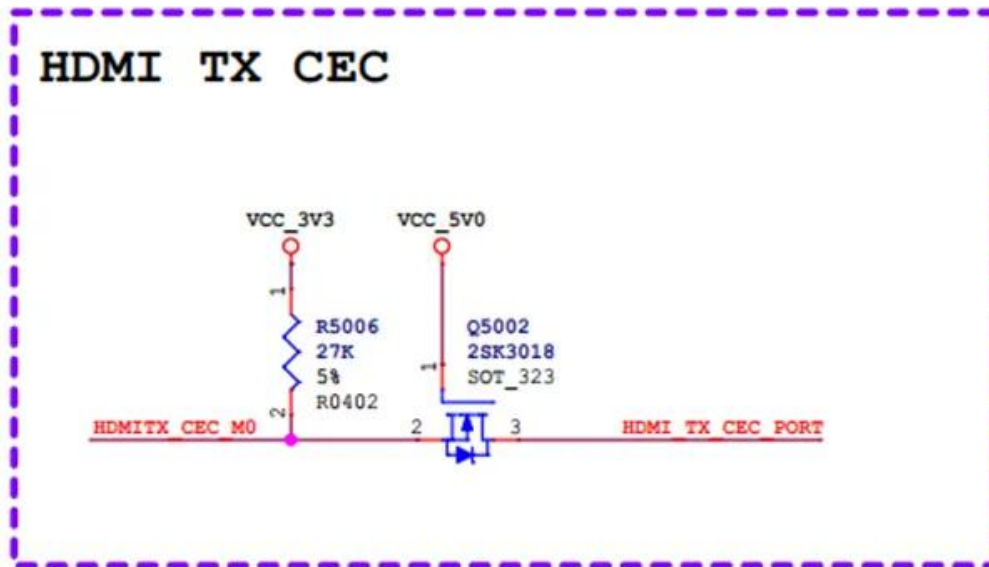
IDO-SOM3566-V1核心板引出了1路HDMI_TX输出，支持HDMI2.0协议，分辨率达到4K。若做底板设计，接口需要预留ESD保护设计，并且ESD器件靠近HDMI接口放置，推荐ESD结电容最大不超过0.4PF。

注意：RK3566芯片的I2C是不支持5V电平的，所以DDC/I2C总线需要增加电平转换电路。HDMI高速差分线在LAYOUT设计时尽量避免换层，走线尽量短，参考面保证完整，100ohm差分阻抗控制，整组走线等长控制 $\pm 100\text{mil}$ 。

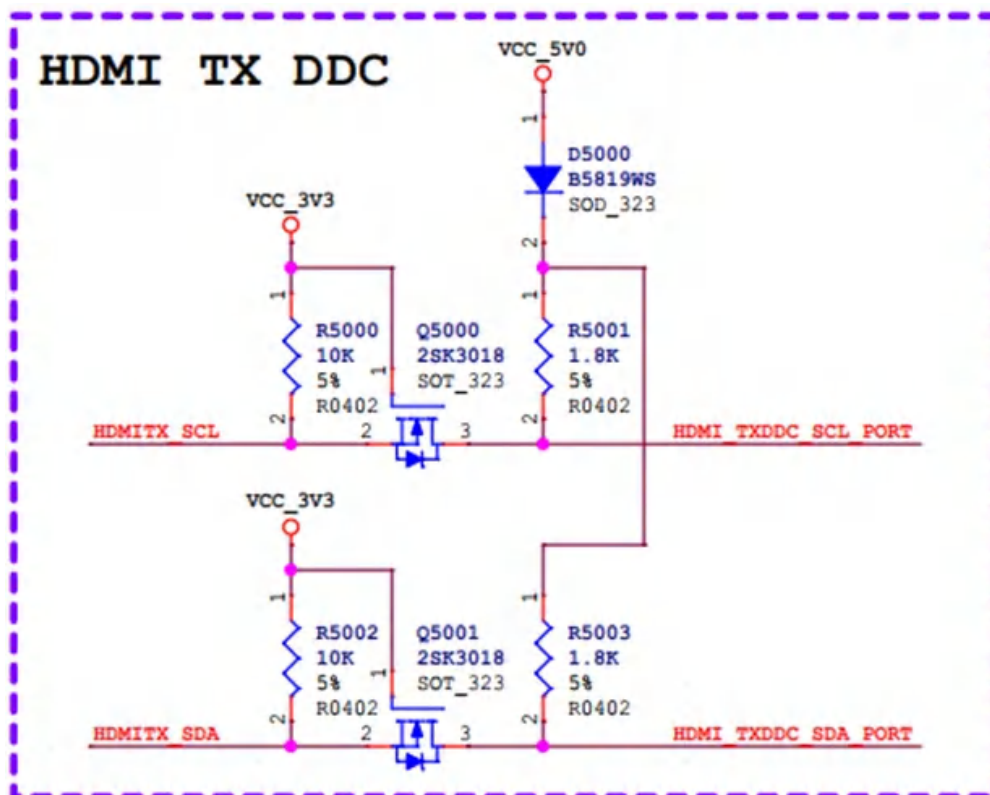
HDMI_TX引脚如下表所示：

引脚编号	信号定义	说明
135	HDMI_TX_HPDIIN	HDMI hot plug detect signal
136	HDMI_TX_SDA	DDC/SDA 需要做电平转换
137	HDMI_TX_SCL	DDC/SCL 需要做电平转换
138	HDMI_TX_CEC_M0	HDMI CEC signal
139	HDMI_TX_CLKN	clock negative differential output
140	HDMI_TX_CLKP	clock positive differential output
141	HDMI_TX_D0N	Lane0 data negative differential output
142	HDMI_TX_D0P	Lane0 data positive differential output
143	HDMI_TX_D1N	Lane1 data negative differential output
144	HDMI_TX_D1P	Lane1 data positive differential output
145	HDMI_TX_D2N	Lane2 data negative differential output
146	HDMI_TX_D2P	Lane2 data positive differential output

HDMI接口CEC电路电平转换设计，如下图所示：



DDC/I2C总线电平转换电路设计，如下图所示：



2.9 eDP

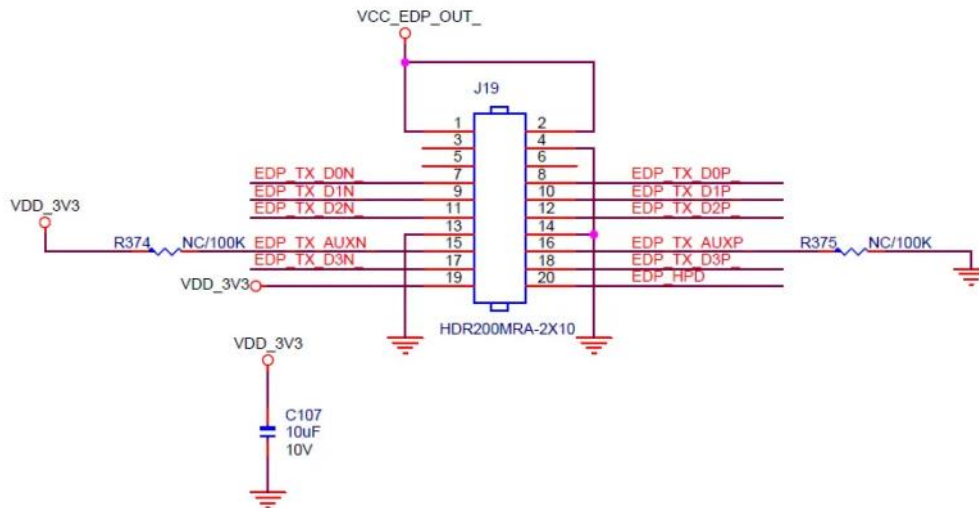
RK3566支持1路eDP视频输出接口，eDP1.3，4lane，分辨率最大支持到2560x1600@60Hz。

eDP_TX引脚，如下表所示：

引脚号	引脚定义	描述
-----	------	----

27	EDP_TX_D2P	Lane2 data positive differential output
26	EDP_TX_D2N	Lane2 data negative differential output
29	EDP_TX_D1P	Lane1 data positive differential output
28	EDP_TX_D1N	Lane1 data negative differential output
31	EDP_TX_D0P	Lane0 data positive differential output
30	EDP_TX_D0N	Lane0 data negative differential output
25	EDP_TX_D3P	Lane3 data positive differential output
24	EDP_TX_D3N	Lane3 data negative differential output
23	EDP_TX_AUXP	CH-AUX positive differential output
22	EDP_TX_AUXN	CH-AUX negative differential output

eDP接口参考设计如下图所示：



注意： LAYOUT走线需要控制等长处理，参考面完整，100ohm差分阻抗控制。走线需要串联100nF耦合电容，数据通道输出耦合电容需靠近核心板端，整组走线等长控制 $\pm 10\text{mil}$ 。

2.10 MIPI_DSI_TX/LVDS_TX

IDO-SOM3566-V1核心板引出两路MIPI_DSI_TX接口，每路4Lane。

MIPI_DSI_TX0/LVDS引脚资源，如下表所示：

引脚号	引脚定义	描述
128	MIPI_DSI_TX0_D3P/LVDS_TX0_D3P	MIPI/LVDS-发送-D3-正
127	MIPI_DSI_TX0_D3N/LVDS_TX0_D3N	MIPI/LVDS-发送-D3-负
130	MIPI_DSI_TX0_D2P/LVDS_TX0_D2P	MIPI/LVDS-发送-D2-正
129	MIPI_DSI_TX0_D2N/LVDS_TX0_D2N	MIPI/LVDS-发送-D2-负
126	MIPI_DSI_TX0_CLKP/LVDS_TX0_CLKP	MIPI/LVDS-时钟-正
125	MIPI_DSI_TX0_CLKN/LVDS_TX0_CLKN	MIPI/LVDS-时钟-负
132	MIPI_DSI_TX0_D1P/LVDS_TX0_D1P	MIPI/LVDS-发送-D1-正
131	MIPI_DSI_TX0_D1N/LVDS_TX0_D1N	MIPI/LVDS-发送-D1-负
134	MIPI_DSI_TX0_D0P/LVDS_TX0_D0P	MIPI/LVDS-发送-D0-正
133	MIPI_DSI_TX0_D0N/LVDS_TX0_D0N	MIPI/LVDS-发送-D0-负

MIPI_DSI_TX1引脚资源，如下表所示：

引脚号	引脚定义	描述
118	MIPI_DSI_TX1_D3P	MIPI-发送-D3-正
117	MIPI_DSI_TX1_D3N	MIPI-发送-D3-负
120	MIPI_DSI_TX1_D2P	MIPI-发送-D2-正
119	MIPI_DSI_TX1_D2N	MIPI-发送-D2-负
116	MIPI_DSI_TX1_CLKP	MIPI-时钟-正
115	MIPI_DSI_TX1_CLKN	MIPI-时钟-负
122	MIPI_DSI_TX1_D1P	MIPI-发送-D1-正
121	MIPI_DSI_TX1_D1N	MIPI-发送-D1-负
124	MIPI_DSI_TX1_D0P	MIPI-发送-D0-正
123	MIPI_DSI_TX1_D0N	MIPI-发送-D0-负

注意：MIPI高速差分对，差分阻抗按照100ohm控制，走线参考面完整，整组走线等长控制+-100mil。

2.11 PCIe

RK3566支持1路PCIe2.0，引脚资源如下表所示：

引脚编号	引脚定义	描述
6	PCIE20_REFCLKP	PCIe参考时钟-正
5	PCIE20_REFCLKN	PCIe参考时钟-负
4	PCIE20_TXP	PCIe发送0-正
3	PCIE20_TXN	PCIe发送0-负
2	PCIE20_RXP	PCIe接收0-正
1	PCIE20_RXN	PCIe接收0-负

PCIe2.0引脚资源，如下表所示：

引脚编号	引脚定义	电源域	描述
159	PCIE20_BUTTONRSTn	3.3V	PCIe Reset request (INPUT)
147	PCIE20_PERSTn_M0	3.3V	PCIe warm reset reques (INPUT)
149	PCIE20_WAKEn_M0	3.3V	PCIe wake up (I/O)
215	PCIE20_CLKREQn_M0	3.3V	PCIe clock request from PCIe peripheral (INPUT)
82	PCIE20_PERSTn_M1	3.3V	PCIe warm reset reques (INPUT)
191	PCIE20_PERSTn_M2	3.3V	PCIe warm reset reques (INPUT)
193	PCIE20_WAKEn_M2	3.3V	PCIe wake up (I/O)
194	PCIE20_CLKREQn_M2	3.3V	PCIe clock request from PCIe peripheral (INPUT)

PCIe2.0接口设计，如下图所示：

Option1	Sensor1 x4Lane	MIPI_CSI_RX_D0-3 MIPI_CSI_RX_CLK0
Option2	Sensor1 x2Lane	MIPI_CSI_RX_D0-1 MIPI_CSI_RX_CLK0
	+ Sensor2 x2Lane	MIPI_CSI_RX_D2-3 MIPI_CSI_RX_CLK1

MIPI-CSI引脚如下表所示：

引脚编号	引脚定义	描述
113	MIPI_CSI_RX_D0N	MIPI_接收1-D0-负
114	MIPI_CSI_RX_D0P	MIPI_接收1-D0-正
111	MIPI_CSI_RX_D1N	MIPI_接收1-D1-负
112	MIPI_CSI_RX_D1P	MIPI_接收1-D1-正
109	MIPI_CSI_RX_D2N	MIPI_接收1-D2-负
110	MIPI_CSI_RX_D2P	MIPI_接收1-D2-正
107	MIPI_CSI_RX_D3N	MIPI_接收1-D3-负
108	MIPI_CSI_RX_D3P	MIPI_接收1-D3-正
105	MIPI_CSI_RX_CLK0N	MIPI_接收1-时钟-负
106	MIPI_CSI_RX_CLK0P	MIPI_接收1-时钟-正
103	MIPI_CSI_RX_CLK1N	MIPI_接收2-时钟-负（用于双摄）
104	MIPI_CSI_RX_CLK1P	MIPI_接收2-时钟-正（用于双摄）

注意：MIPI-CSI高速差分对，差分阻抗按照100ohm控制，走线参考面完整，整组走线等长控制+-100mil。

2.13 SATA总线

RK3566自带2路独立的SATA3.0控制器，兼容SATA 3.3 和 AHCI Revision 1.3.1，支持eSATA，支持1.5Gb/s, 3.0Gb/s, 6.0Gb/s。

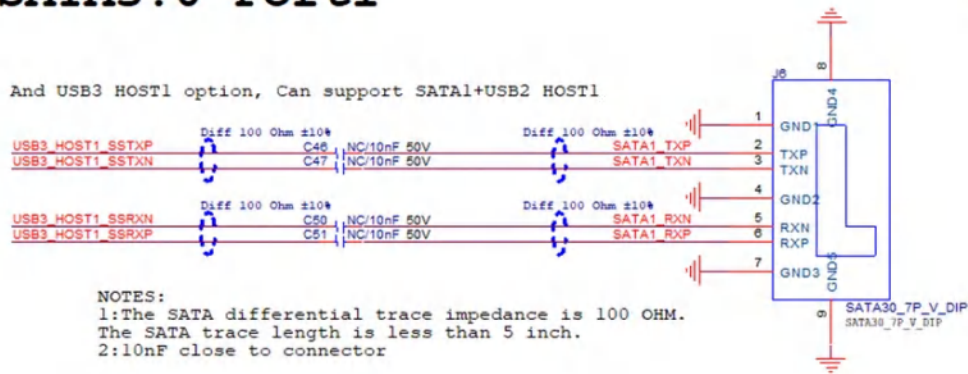
SATA信号与USB3.0, PCIE2.0信号是复用的。根据实际情况选用并配置驱动来使用。

SATA信号引脚资源，如下表所示：

SATA控制器	核心板引脚编号	SATA信号定义	信号说明
SATA30_1	13	SATA1_TXP	SATA 发送 DP
	12	SATA1_TXN	SATA 发送 DN
	15	SATA1_RXP	SATA 接收 DP
	14	SATA1_RXN	SATA 接收 DN
SATA30_2	4	SATA2_TXP	SATA 发送 DP
	3	SATA2_TXN	SATA 发送 DN
	2	SATA2_RXP	SATA 接收 DP
	1	SATA2_RXN	SATA 接收 DN

注意：走线按照100ohm差分阻抗，10nF耦合电容靠近SATA座子，整组走线等长控制+/-100mil，走线长度<5inch。参考设计，如下图所示：

SATA3.0 Port1



2.14 UART设计

IDO-SOM3566-V1核心板共引出10路UART口，其中UART2_M0_DEBUG为调试口。其它可根据设计需求去使用，如外接RS232芯片，RS485芯片等去实现串口通信功能。

注意：

1. 需要注意引脚电源域有1.8V和3.3V两种，注意互连时电平要匹配，必要时加电平转换电路，避免造成通讯不正常。
2. UART引脚复用信号较多，同一路UART控制器可以分配到不同引脚分组。最多可有M0，M1，M2三组引脚可选配，同一个UART控制器同时只能配置一组引脚。
3. 调试串口默认为UART2 M0引脚组。

UART信号定义及可复用引脚，如下表所示：

UART资源	引脚编号	UART信号定义	电源域
UART0	157	UART0_RX	3.3V
	156	UART0_TX	
	150	UART0_RTSn	
	154	UART0_CTSn	
UART1	47	UART1_RX_M0	1.8V
	46	UART1_TX_M0	
	40	UART1_RTSn_M0	
	39	UART1_CTSn_M0	
	74	UART1_RX_M1	VCCIO6
	75	UART1_TX_M1	
	59	UART1_RTSn_M1	
	66	UART1_CTSn_M1	
UART2	153	UART2_RX_M0_DEBU G	3.3V (调试串口)
	152	UART2_TX_M0_DEBU G	
	32	UART2_RX_M1	3.3V
	35	UART2_TX_M1	
UART3	200	UART3_RX_M0	3.3V

	196	UART3_TX_M0	
	79	UART3_RX_M1	VCCIO5
	78	UART3_TX_M1	
UART4	92	UART4_RX_M1	VCCIO5
	93	UART4_TX_M1	
UART5	33	UART5_RX_M0	3.3V
	37	UART5_TX_M0	
	34	UART5_RTSN_M0	
	36	UART5_CTSN_M0	VCCIO5
	80	UART5_RX_M1	
	81	UART5_TX_M1	
UART6	51	UART6_RX_M0	1.8V
	50	UART6_TX_M0	
	225	UART6_RTSN_M0	
	182	UART6_CTSN_M0	3.3V
	32	UART6_RX_M1	
	35	UART6_TX_M1	
UART7	55	UART7_RX_M0	1.8V
	48	UART7_TX_M0	
	226	UART7_RTSN_M0	
	42	UART7_CTSN_M0	VCCIO5
	76	UART7_RX_M1	
	77	UART7_TX_M1	
	73	UART7_RX_M2	VCCIO6
	62	UART7_TX_M2	

UART8	43	UART8_RX_M0	1.8V
	41	UART8_TX_M0	
	52	UART8_RTSN_M0	
	53	UART8_CTSN_M0	
UART9	54	UART9_RX_M0	1.8V
	49	UART9_TX_M0	
	45	UART9_RTSN_M0	
	44	UART9_CTSN_M0	
UART9	201	UART9_RX_M1	3.3V
	202	UART9_TX_M1	
UART9	71	UART9_RX_M2	VCCIO6
	61	UART9_TX_M2	

2.15 I2C总线

IDO-SOM3566-V1核心板共引出5组I2C接口，使用时注意电平为1.8V或3.3V，必要时加电平转换电路。

I2C总线引脚资源，如下表所示：

I2C资源	引脚分组	引脚编号	I2C信号定义	电源域
I2C1	M0	160	I2C1_SCL	3.3V
		159	I2C1_SDA	
I2C2	M0	149	I2C2_SCL_M0	3.3V
		147	I2C2_SDA_M0	
	M1	67	I2C2_SCL_M1	VCCIO6
		68	I2C2_SDA_M1	
I2C3	M0	196	I2C3_SCL_M0	3.3V

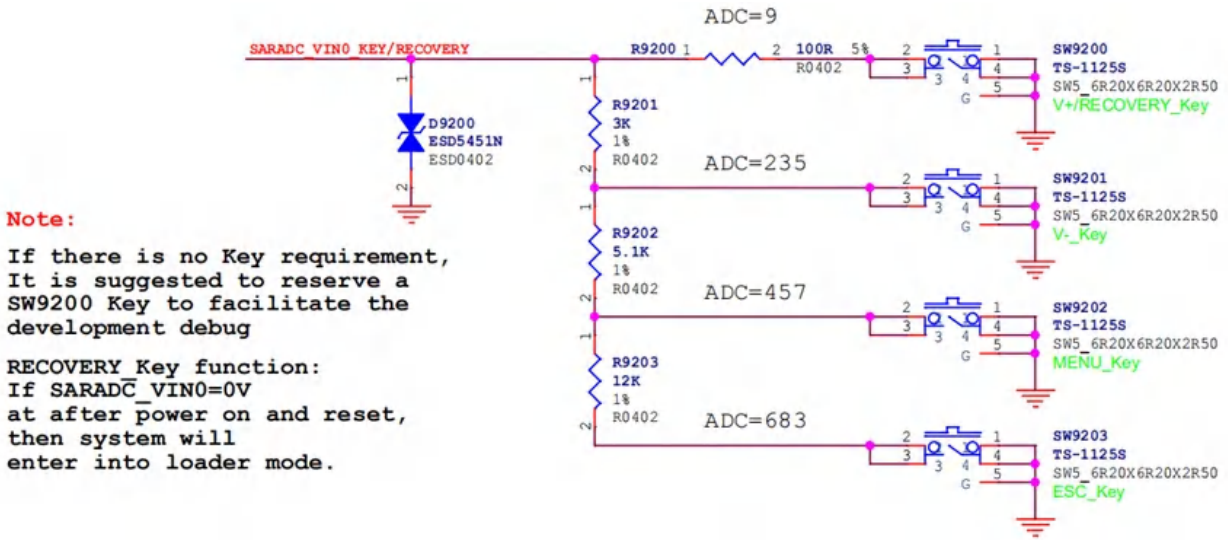
		200	I2C3_SDA_M0	
	M1	86	I2C3_SCL_M1	VCCIO5
		85	I2C3_SDA_M1	
I2C4	M0	65	I2C4_SCL_M0	VCCIO6
		63	I2C4_SDA_M0	
	M1	53	I2C4_SCL_M1	1.8V
		52	I2C4_SDA_M1	
I2C5	M0	88	I2C5_SCL_M0	VCCIO5
		87	I2C5_SDA_M0	
	M1	137	I2C5_SCL_M1	3.3V
		136	I2C5_SDA_M1	

注意：I2C引脚复用信号较多，同一路I2C控制器可以分配到不同引脚分组。最多可有M0，M1组引脚可选配，同一个I2C控制器同时只能配置一组引脚。

2.16 ADC

核心板共引出4路ADC接口，12bit精度，0~1.8V电压采样范围。

SARADC_VIN0/RECOVERY默认做为键值输入采样口，并复用为 Recovery 模式按键（不可修改）。核心板上SARADC_VIN0/RECOVERY通过10Kohm 上拉电阻上拉到 1.8V，默认为高电平（1.8V），在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时 Recovery 模式按键处于按下状态，即将SARADC_VIN0/RECOVERY保持为低电平（0V），则 RK3566进入 Loader 烧写模式，当 PC 识别到 USB 设备时，松开按键使SARADC_VIN0/RECOVERY恢复为高电平（1.8V），即可进行固件烧写。另外为了方便开发，建议预留按键或测试点。在Android系统操作界面下，其它按键操作如，VOL-，Home等功能按键也通过SARADC_VIN0/RECOVERY引脚实现，参考电路如下图所示：



SRADC引脚列表如下表所示：

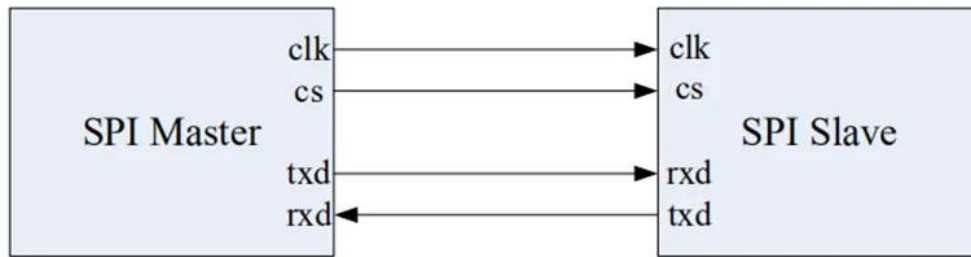
引脚号	引脚定义	电源域	描述
164	SARADC_VIN0/RECOVERY	1.8V	默认用于ADC按键功能，不建议用作其它功能。核心板内部上拉10K电阻到1.8V
231	SARADC_VIN1	1.8V	标准ADC输入
165	SARADC_VIN2	1.8V	标准ADC输入
230	SARADC_VIN3	1.8V	标准ADC输入

注意：

1. SARADC 采样范围为0~1.8V，采样精度为 12bit 。按键阵列采用并联型， 可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于±35，即中心电压差必须大于123mV。
2. SARADC_VIN有使用时，靠近核心板管脚必须并联1nF电容消抖。
3. 用于按键采集时，靠近按键需做 ESD 防护，而且 0 键值的必须串接 100Ω电阻加强抗静电浪涌能力（如果只有一个键时 ESD 必须靠近按键，先经过 ESD→100Ω电阻→1nF→核心板管脚）。

2.17 SPI

IDO-SOM3566-V1共引出4路SPI接口，可用于连接SPI通信接口的芯片或者模块，如下图所示：



SPI引脚资源如下表所示：

SPI接口	引脚分组	引脚编号	引脚定义	电源域	说明
SPI0	M0	151	SPI0_CS0_M0	3.3V	片选0
		150	SPI0_CS1_M0		片选1
		148	SPI0_MISO_M0		Master Input Slave Output
		149	SPI0_CLK_M0		Clock
		147	SPI0_MOSI_M0		Master Output Slave input
SPI1	M0	40	SPI1_CLK_M0	1.8V	Clock
		39	SPI1_MISO_M0		Master Input Slave Output
		225	SPI1_MOSI_M0		Master Output Slave input
		182	SPI1_CS0_M0		片选0
		43	SPI1_CS1_M0		片选1
	M1	80	SPI1_CLK_M1	VCCIO5	Clock
		81	SPI1_MISO_M1		Master Input Slave Output
		82	SPI1_MOSI_M1		Master Output Slave input
		98	SPI1_CS0_M1		片选0

SPI2	M0	226	SPI2_CLK_M0	1.8V	Clock
		44	SPI2_CS0_M0		片选0
		42	SPI2_MISO_M0		Master Input Slave Output
		45	SPI2_MOSI_M0		Master Output Slave input
		41	SPI2_CS1_M0		片选1
SPI3	M0	58	SPI3_MISO_M0	VCCIO6	Master Input Slave Output
		63	SPI3_MOSI_M0		Master Output Slave input
		65	SPI3_CLK_M0		Clock
		57	SPI3_CS1_M0		片选1
		69	SPI3_CS0_M0		片选0
	M1	204	SPI3_MOSI_M1	3.3V	Master Output Slave input
		202	SPI3_MISO_M1		Master Input Slave Output
		138	SPI3_CS1_M1		片选1
		206	SPI3_CLK_M1		Clock
		201	SPI3_CS0_M1		片选0

注意:

1. 当SPI 片选引脚冲突时，可用其它GPIO引脚作为片选，驱动做好配置即可。
2. SPI时钟线建立串接端接电阻(典型值22Ω)，靠近核心板一侧引脚放置。

2.18 PWM

IDO-SOM3566-V1具引出16路PWM资源，部分PWM具有M0/M1通道，同时只能选择其中1个通道使用。

PWM引脚资源，如下表所示：

PWM通道	引脚编号	信号定义	电源域	说明
PWM0	162	PWM0_M0	3.3V	/
	154	PWM0_M1	3.3V	
PWM1	157	PWM1_M0	3.3V	/
	149	PWM1_M1	3.3V	
PWM2	156	PWM2_M0	3.3V	/
	147	PWM2_M1	3.3V	
PWM3	158	PWM3_IR	3.3V	可用于IR接收信号
PWM4	155	PWM4	3.3V	/
PWM5	150	PWM5	3.3V	/
PWM6	148	PWM6	3.3V	/
PWM7	151	PWM7_IR	3.3V	可用于IR接收信号
PWM8	92	PWM8_M0	VCCIO5	/
	35	PWM8_M1	3.3V	
PWM9	93	PWM9_M0	VCCIO5	/
	32	PWM9_M1	3.3V	
PWM10	86	PWM10_M0	VCCIO5	/
	33	PWM10_M1	3.3V	
PWM11	85	PWM11_IR_M0	VCCIO5	可用于IR接收信号
	60	PWM11_IR_M1	VCCIO6	
PWM12	78	PWM12_M0	VCCIO5	/
	202	PWM12_M1	3.3V	

PWM13	79	PWM13_M0	VCCIO5	/
	201	PWM13_M1	3.3V	
PWM14	77	PWM14_M0	VCCIO5	/
	206	PWM14_M1	3.3V	
PWM15	76	PWM15_IR_M0	VCCIO5	可用于IR接收信号
	204	PWM15_IR_M1	3.3V	

3、SOM3566底板原理图Check List

编号	检查事项	检查状态
1	核心板供电范围【3.6-5.5V】，加5.5V浪涌保护。采用独立DCDC，2A以上电流能力。	<input type="checkbox"/> OK
2	核心板IO供电：VCCIO5（84脚），VCCIO6（83脚）都有供电，且采用核心板输出的VCC_1V8_OUT（166脚）或VCC_3V3_OUT（228脚）。	<input type="checkbox"/> OK
3	整板上电顺序：核心板供电（常供电）->VCC_1V8_OUT->底板供电（3.3V, 1.8V, 5V)	<input type="checkbox"/> OK
4	是否需要插电开机，PMIC_VDC是否按照要求设计分压电阻？	<input type="checkbox"/> OK
5	是否需求关机和待机状态。 关机状态和待机状态下，核心板是否保持供电？ 待机或者关机状态下，外围电源还有哪些电源没有关闭，是否存在漏电风险？ Power键是否留出？	<input type="checkbox"/> OK
6	有待机需求时，有哪些待机时需要保持状态的IO引脚，这些引脚是否分配在GPIO0组？	<input type="checkbox"/> OK
7	USB0 OTG 接口有接出，方便下载烧录。USB_OTG_PWREN_H是否选用上电默认拉低的GPIO引脚？	<input type="checkbox"/> OK
8	调试串口是否有接出，是否有电平匹配，或上电顺序引入的RX灌电风险？	<input type="checkbox"/> OK

9	功能按键 (SARADC_VIN0/RECOVERY) 是否符合参考设计有预留按键或测试点?	<input type="checkbox"/> OK
10	USB接口使用的ESD物料是否满足Cj<0.4pF要求?	<input type="checkbox"/> OK
11	SD/TF卡是否符合参考设计?	<input type="checkbox"/> OK
12	以太网设计: RGMII 可以1.8V或者3.3V。确认PHY芯片 IO电平 与 对应的核心板电源域电平 (VCCIO5/VCCIO6) 是否匹配。 千兆PHY芯片的IO电压的配置电阻, RESET引脚GPIO电平, LED灯的极性配置, 时钟, 符合参考设计? 千兆/百兆PHY芯片是否是已经调试过的型号?	<input type="checkbox"/> OK
13	音频接口符合参考设计?	<input type="checkbox"/> OK
14	MIPI DSI /LVDS 显示接口, 确认屏幕线序定义, 供电时序 符合要求? 确认屏幕分辨率和刷新率在支持范围? MIPI RESET是否有GPIO控制? 背光和供电在待机/关机状态下是否有漏电问题?	<input type="checkbox"/> OK
15	MIPI CSI 摄像头接口, 是否有2Lane拆分, 信号线分配是否符合参考设计? 摄像头模组定义, 确认线序定义, 供电时序, 供电电压电流符合要求? 摄像头Sensor是否在支持列表? 待机/关机状态下是否有漏电?	<input type="checkbox"/> OK
16	每组IIC总线是否有上拉电阻, 电平是否匹配? IIC 上连接的外设地址是否冲突, 最高速率是否有冲突? 同一组IIC总线下的外设, 是否存在待机/关机时供电状态不一致的问题?	<input type="checkbox"/> OK
17	每个串口 (UART, RS232, RS485, RS422) : 串口要求的最高波特率和接口芯片用料是否相符? 电平是否匹配? 接口芯片上电顺序是否晚于VCC_1V8_OUT核心板供电输出?	<input type="checkbox"/> OK
18	所有IO引脚, 不得有在核心板VCC_1V8_OUT上电前向IO灌电的行为	<input type="checkbox"/> OK
19	使用SDIO的WIFI模块, 供电和IO电平, 32K时钟, 晶振 等是否符合参考设计	<input type="checkbox"/> OK

